实验一 加法器实验

**一、实验目的**

1、熟悉LS-CPU-EXB-002实验箱和软件平台vivado；

2、掌握利用该实验箱各项功能开发组成原理实验的方法；

3、理解并掌握加法器的原理和设计；

4、熟悉并运用verilog语言进行电路设计。

**二、实验内容**

1、熟悉硬件平台，学习软件平台和设计流程；

2、熟悉计算机中加法器的原理并使用verilog语言编写相应代码；

3、对编写的代码进行仿真，得到正确的波形图；

4、将以上设计作为一个单独的模块，设计一个外围模块去调用它，外围模块中需要调用封装好的触摸屏模块，输入两个操作数并显示运算结果；

5、进行综合布局布线，下载到实验箱的FPGA板上进行演示。

**三、实验步骤**

1. 启动Vivado，选择File->New Project，输入工程名称，选择工程文件的路径；
2. 选择RTL Project，勾选Do not specify sources at this time；
3. 在筛选器中进行如下选择：

family->Artix7 package->fbg676 最后选择型号xc7a200tfbg676-2；

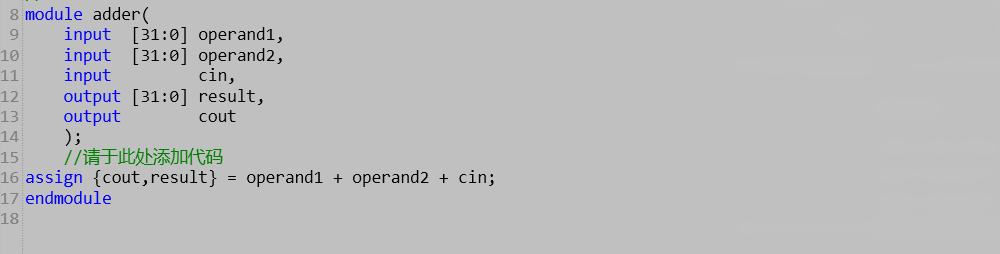
1. 添加源文件Project Manager->Add sources->Add or create design sources

->Create File,开始输入程序代码；

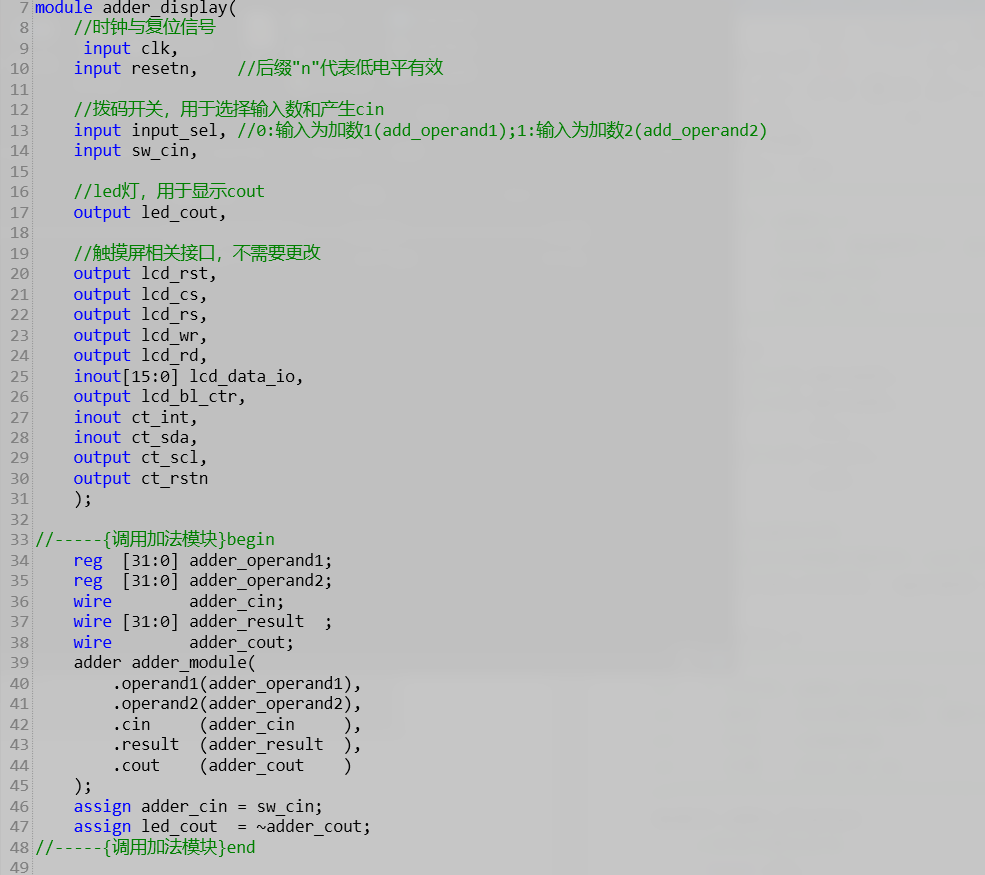
1. 添加外围模块，该模块调用加法器和触摸屏模块以便在实验箱上输入原始数据和输出结果；
2. 将封装好的触摸屏模块添加进工程，用户只需要直接调用。继续选择Add sources，添加lcd\_module.dcp.；
3. 进行功能仿真， Add sources->Add or create simulation sources,编写测试代码；
4. 在导航栏中点击Run Simulation,选择Run Behavioral Simulation,观察仿真结果；
5. 添加引脚绑定的约束文件，扩展名为.xdc；
6. 点击Flow Navigator中Synthesis下的Run Synthesis，进行综合，综合完成后选择Open Synthesized Design，查看综合结果。参照实验板原理图和引脚对应关系表，在I/O Ports栏下输入正确的Package Pin，针对本实验板，I/O Std要统一设置为LVCM0S33。设置完成保存为约束文件;
7. 综合、布局布线并产生可烧写文件，扩展名为.bit。可以依次双击运行，也可以只双击Generate Bitstream，会自动运行这三步;
8. 打开实验箱电源，在比特流文件生成完成的窗口选择Open Hardware Manager，进入硬件管理界面。在Hardware Manager窗口的提示信息中，点击Open Target，选择Auto Connect自动连接器件;
9. 对目标硬件编程，在Hardware窗口右键单击目标器件cx7a200t\_0，选择Program Device…，选择下载的bit流文件，点击Program，完成下载后，窗口下的cx7a200t\_0状态变成Programmed;
10. 通过触摸屏完成数据输入和结果显示，验证实验的正确性。

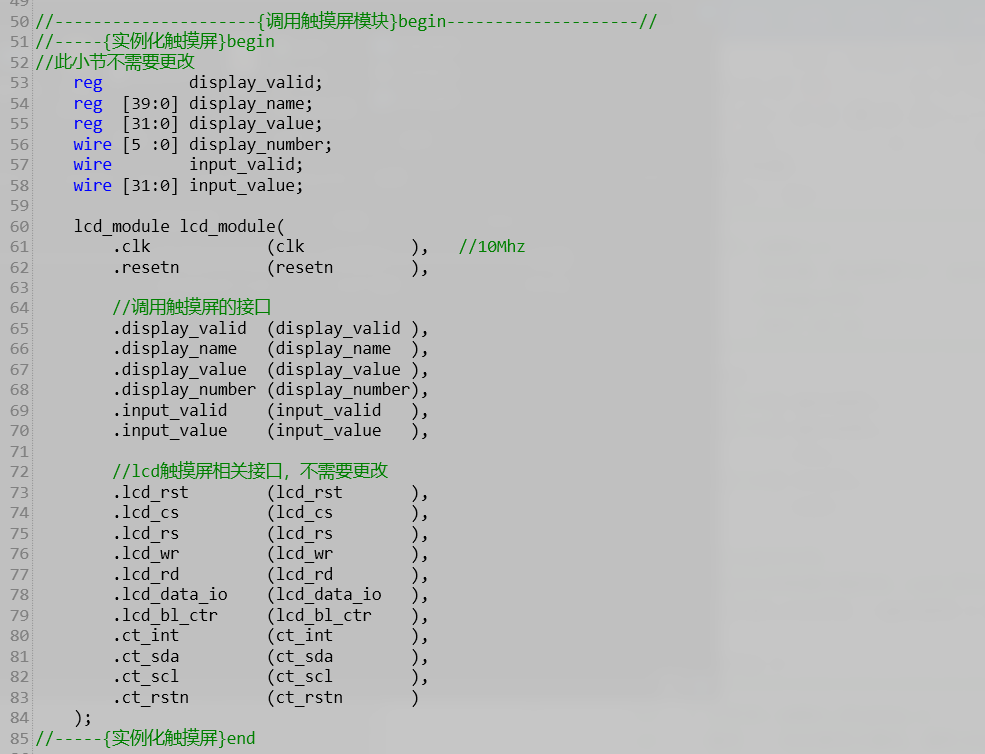
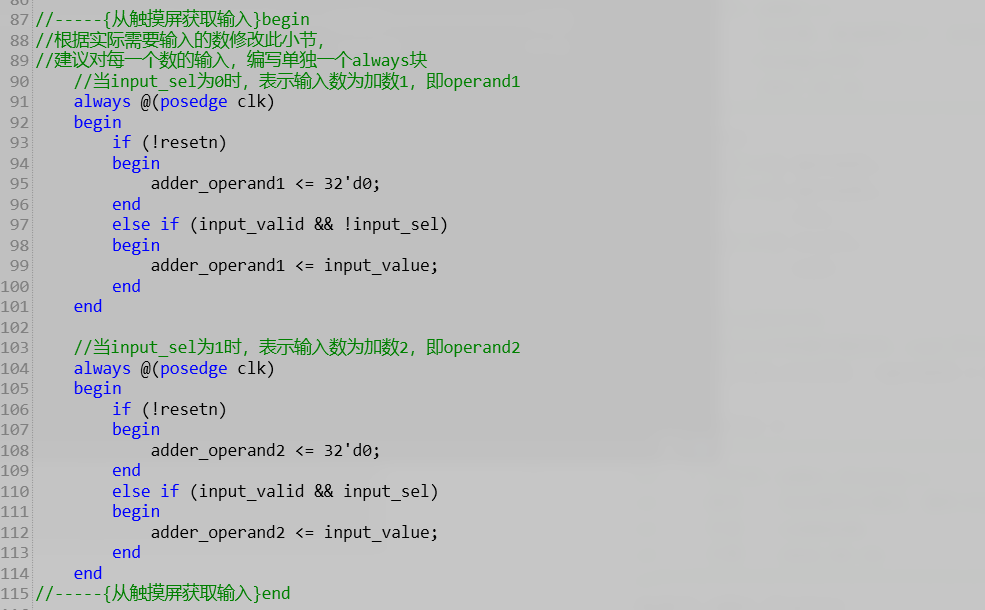
**四、Verilog程序**

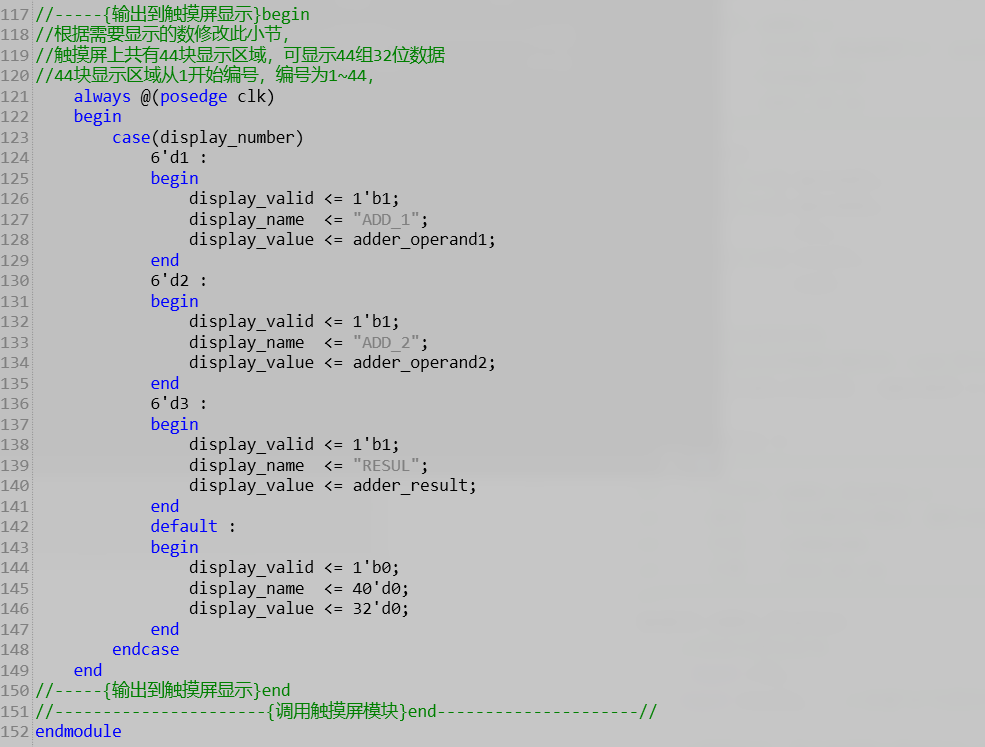
1. adder.v(核心代码)



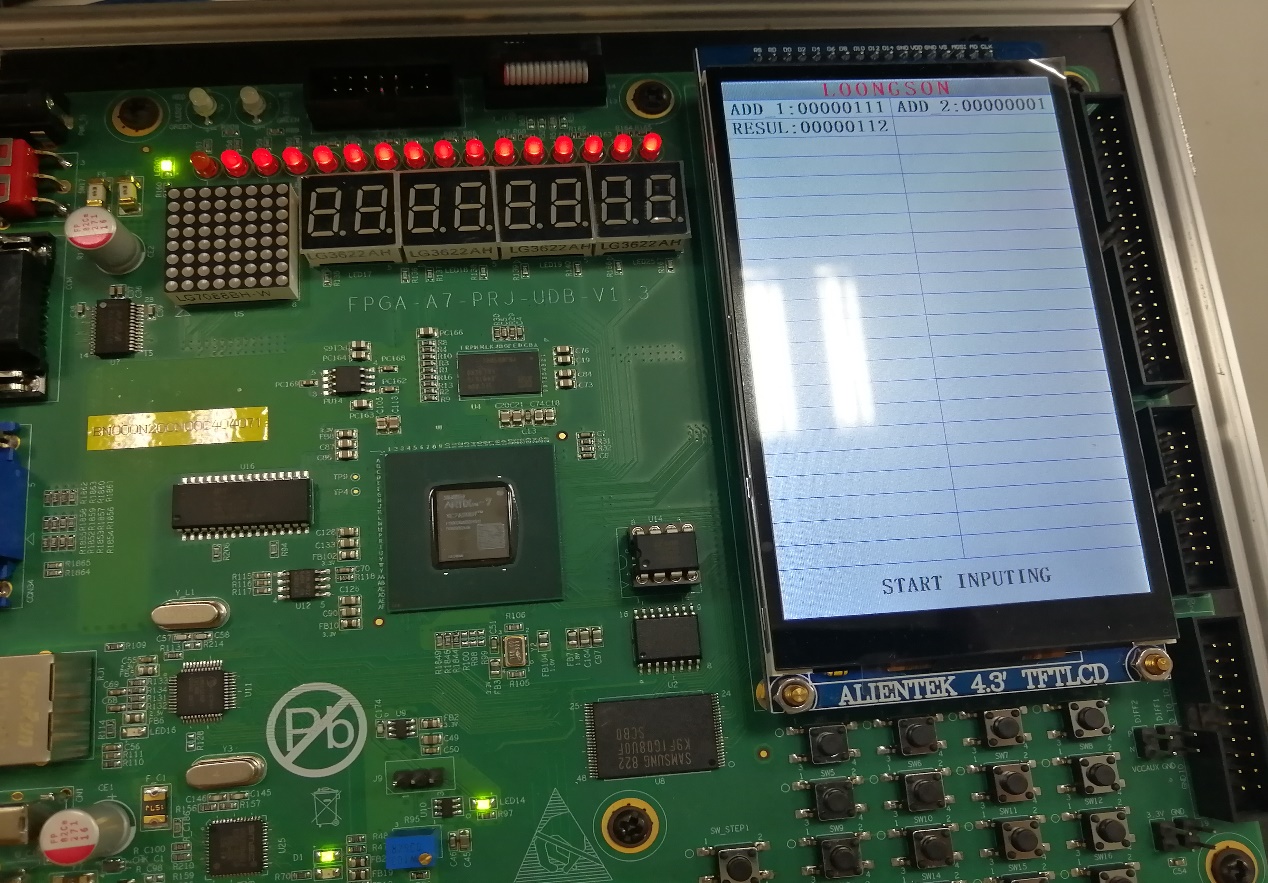
1. adder\_display.v







**五、实验结果**



演示结果：111(H)+1(H)=112(H)

**六、实验心得**

##### 由于是这学期第一次进行实验，花费了较多时间熟悉veirlog。

##### 这次实验，我学会了用Verilog编写加法器的代码，并且第一次进行了上板验证，十分有趣。